

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

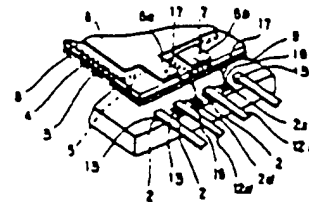
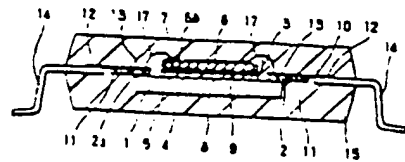
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) SEMICONDUCTOR DEVICE

(11) 4-368154 (A) (43) 21.12.1992 (19) JP
(21) Appl. No. 3-170582 (22) 15.6.1991
(71) SONY CORP (72) TOMONORI NISHINO
(51) Int. Cl. H01L23/00

PURPOSE: To enhance noise resistance without forming multiterminals, to further facilitate a partial alteration of a circuit configuration and to enhance light resistance by disposing a circuit board on a surface of a semiconductor element, connecting partial electrode of the element to a wiring film of the board, and connecting the residual electrode of the element to an outer lead.

CONSTITUTION: A circuit board 3 is disposed on a surface of a semiconductor element 1, partial electrode of the element 1 is electrically connected to wiring films 6a, 6b of the board 3, and further the residual electrode 2 of the element 1 is electrically connected to an outer lead 14. Thus, a power source voltage applied to a pair of the outer leads 14 is applied to a power source plane 6 for supplying power of the board 3, a power source plane 5 for a ground, and can be applied from the planes 6, 5 to many pairs of electrodes 2d, 2s of the element 1 in parallel. Accordingly, the number of the pairs 2d, 2s of the power source electrodes is increased to supply the power source voltage to the element in parallel, thereby reducing an impedance of a power source voltage supply route.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-368154

(43) 公開日 平成4年(1992)12月21日

(51) Int.Cl.³

H 0 1 L 23/00

識別記号

庁内整理番号

F I

技術表示箇所

B 7220-4M

審査請求 未請求 請求項の数 1 (全 6 頁)

(21) 出願番号 特願平3-170582

(22) 出願日 平成3年(1991)6月15日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 西野 友規

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 尾川 秀昭

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 樹脂封止型半導体装置の耐ノイズ性を高めたり、回路構成の一部変更を容易にしたりする。

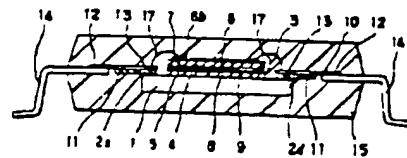
【構成】 半導体素子の表面に回路基板を設け、該基板の配線と半導体素子の一部電極との間をワイヤでつなぐ。

【効果】 回路基板に電源用のプレーンを設け、電源電圧を該プレーンから素子の電源電極に分配することにより耐ノイズ性を高め、回路基板に信号用配線膜を形成することにより回路構成を部分的に変更できる。

実施例

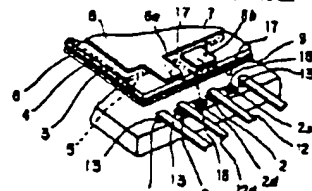
(A)

断面図



(B)

要部を示す拡大斜視図



1... 半導体素子

2... 電極

3... 回路基板

4... 回路基板の配線

5... 電源用電源プレーン

6... 電源用電源プレーンの配線

7... スルーホール

8... TABテープ

12... TABリード

14... リード(リードフレーム)

15... 樹脂

17... ワイヤ

【特許請求の範囲】

【請求項1】 半導体素子の表面に回路基板が配置され、上記半導体素子の一部の電極と上記回路基板の配線膜との間が電氣的に接続され、上記半導体素子の残りの電極と外部リードとが電氣的に接続されたことを特徴とする半導体装置

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置、特に耐ノイズ性を高めたり回路構成の一部を変更したりすることのできる半導体装置に関する。

【0002】

【従来の技術】 樹脂封止型半導体装置は、一般にリードフレームのダイパッド上に半導体素子をチップボンディングし、該半導体素子の各電極と、それと対応する、リードフレームのインナーリード部との間をワイヤボンディングし、樹脂封止し、リードフレームの不要部分を除去してなる。

【0003】

【発明が解決しようとする課題】 ところで、樹脂封止型半導体装置においては半導体素子の高集積化、多層配線化、回路の高速度化、多端子化、大チップ化、低電源電圧化が著しい。そして、入出力信号が同時に複数の端子においてオン/オフ（レベルアップ/レベルダウン）したとき、電源電圧のバウンスからノイズが生じ、このノイズにより回路に誤動作が生じるという虞れがあった。そこで、電源電極（例えばV_{dd}電極）、グランド電極（例えばV_{ss}電極）の数を多くすることが考えられる。なぜならば、電源電圧の電源（例えばV_{dd}）電位、グランド電位（例えばV_{ss}）電位が複数対の電極を通してパラレルに伝達されるから電源電圧供給経路の抵抗（インピーダンス）が小さくなり、電源電圧のバウンス及び電源電圧レベル、グランドレベルの変動を低減できるからである。しかしながら、従来の樹脂封止型半導体装置によれば、電源電極、グランド電極を増やすとそれに応じて電源電極、グランド電極とワイヤを介して接続される外部端子となるリードの数も増やさなければならなくなる。これは樹脂封止型半導体装置の小型化、高集積化を阻む要因となり、好ましくない。しかも、かかる多端子化は必然的にワイヤ長を長くする傾向ももたらし、高速度性が犠牲になりがちになるという問題もある。

【0004】 また、従来の半導体装置においては、半導体装置の回路構成は半導体素子の回路構成によって決まり、回路の一部を変更する場合には全く別の半導体素子を設計し直して製造する必要がある、回路の一部変更が難しかった。更にまた、従来の半導体装置においては、樹脂パッケージの薄型化に伴って外部からの光が半導体素子の表面部に入射し、寄生フォトリジスタ、寄生ダイオードに光電流が流れてリーク電流が大きくなるという問題もあった。即ち、耐光性が悪いという問題もある。

ったのである。

【0005】 本発明はこのような問題点を解決すべく為されたものであり、耐ノイズ性を多端子化を伴うことなく高め、回路構成の一部変更を容易にし、耐光性を高めることを目的とする。

【0006】

【課題を解決するための手段】 本発明半導体装置は、半導体素子の表面に回路基板を配置し、半導体素子の一部の電極を回路基板の配線膜に接続し、半導体素子の残りの電極を外部リードに接続してなることを特徴とする。

【0007】

【実施例】 以下、本発明半導体装置を図示実施例に従って詳細に説明する。図1(A)、(B)は本発明半導体装置の一つの実施例を示すもので、(A)は断面図、

(B)は要部を拡大して示す封止前の状態の斜視図であり、図2はTABテープへの半導体素子の接続後の状態を示す斜視図である。図面において、1は半導体素子、2、2、…は該半導体素子1の表面に配置された電極であり、そのうち2_s、2_s、…は接地用電極（V_{ss}電極）であり、2_d、2_d、…は電源供給用電極（V_{dd}電極）である。尚、接地用電極（V_{ss}電極）2_s、2_s、…及び電源供給用（V_{dd}電極）2_d、2_d、…は共に複数個ずつあるが、図1には1個ずつしか現れない。

【0008】 3は回路基板であり、ベース4の両面に配線膜5、6_a、6_bが形成されている。即ち、本回路基板3は二層の回路基板である。配線膜5はベース4の裏面に形成され、接地用電源プレーンを成している。配線膜6、6_a、6_b、6_b、…はベース4の表面に形成され、配線膜6は電源供給用電源プレーンを成し、配線膜6_a、6_a、…は電源供給用電源プレーンと一体の接続部を成している。

【0009】 それに対して配線膜（接続部）6_b、6_b、…は電源供給用電源プレーン6と別体の接合部を成しており、それぞれスルーホール7を通して接地用電源プレーンを成す配線膜5に接続されている。尚、接合部6_a、6_bは共に複数個あるが図1には1個ずつ現れている。該回路基板3は半導体素子1の表面上に例えばポリイミドからなる樹脂8を介して配置されている。9は該樹脂8と回路基板3との間を接着する接着剤である。

【0010】 10はTABテープであり、例えばポリイミドからなる矩形のベース11上にリード12、12、…が上から見て外側から内側へよぎるように配設されており、そのインナーリード部分、即ち、ベース11よりも内側の部分の先端は例えば金からなるバンプ13を介して半導体素子1表面の電極2、2、…に接続されている。尚、12_d、12_d、…は電源供給用リード、12_s、12_s、…は接地用リードである。また、リード12、12、…のアウトターリード部分、即ち、ベース11よりも外側の部分の先端はリードフレームによるリード

14、14、…の内端部に接続されている。

【0011】15は封止樹脂である。16、16、…は電源供給用電極2d、2d、…、接地用電極2s、2s、…とその隣りの電極2、2、…との間を接続する配線膜で、例えばアルミニウムからなる。そして、電源供給用リード12d、12d、…、接地用リード12s、12s、…に外部から与えられた電源電位(V_{ss})、接地電位(V_{ss})はパンプ13、配線膜16、ワイヤ17及び回路基板の接合部6a、6bを介して電源供給用電源ブレン6、接地用電源ブレン5に与えられる。そして、電源供給用電源ブレン6、接地用電源ブレン5に与えられた電源電位、接地電位は接合部6a、6a、…、6b、6b、…を介して各電源電位電極2d、2d、…、接地電位電極2s、2s、…にワイヤ17により分配されるようになっていく。

【0012】このような半導体装置によれば、一対の外部リード14に与えられた電源電圧を、一旦、回路基板3の電源供給用電源ブレン6、接地用電源ブレン5に印加し、該電源供給用電源ブレン6、接地用電源ブレン4から半導体素子1の多数対の2d、2s、2d、2s、…にパラレルに印加するようにできる。従って、半導体素子1の電源電極の対2d・2sの数を多くすることにより電源電圧をパラレルに半導体素子内に供給するようにして電源電圧供給経路のインピーダンスを小さくすることができ、延いては耐ノイズ性を高めることができる。即ち、入出力信号が同時に複数端子で入、出されたときの電源電圧のバウンスにより発生するノイズの低減を図ることができ、延いては誤動作を防止することができる。

【0013】また、回路基板3が半導体素子1上に配置されているので外部からの光が半導体素子1の表面部に入射しようとするのを回路基板3によって阻むことができ、延いては半導体素子表面部に寄生するフォトリスタあるいはフォトダイオードに光電流が流れることを防止することができる。即ち、耐光性を高めることができる。

【0014】図3は図1に示す半導体装置の変形例を示すものである。本半導体装置は、図1に示す半導体装置がダイパッドレス型であるのに対して、ダイパッドを有する点で図1に示す半導体装置と異なっている。しかし、それ以外の点では共通している。即ち、図1に示す半導体装置においては、TABテープ10のリード12、12、…のアウトターリード部分をリードフレームのリード14、14、…に接続し、その後、ワイヤボンディング、樹脂封止及びリードフレームの不要部分除去を行っており、ダイパッドを必要とすることなく製造できる。

【0015】それに対して、図3に示す半導体装置はダイパッドのあるリードフレームを用い、そのダイパッド上に、TABテープ接続及びリード12、12、…の不

要部分のカットによる除去が済んだ状態の半導体素子1をボンディングし、リード12、12、…のアウトターリード部分先端をリードフレームのリード14、14、…のインナーリード部分に接続し、その後、樹脂封止、リードフレームの不要部分のカットによる除去を行うものである。尚、ダイパッドレスの方がダイパッドレスよりも若干工程が複雑で、クラック発生率、即ち半田リフロー時に樹脂中の水分が蒸発してクラックが生じる確率が若干高い。

【0016】図4(A)、(B)は本発明半導体装置の他の実施例を示すもので、(A)は樹脂封止前における状態の要部を示す斜視図、(B)は回路基板の拡大断面図である。本実施例は回路基板3として四層回路基板を用い、該四層回路基板3に単に電源供給用電源ブレン6、接地用電源ブレン5を設けて耐ノイズ性を高めるだけでなく、信号線も設けることにより、同じ回路構成の半導体素子1を用いながら回路基板3によって半導体装置としての回路構成を部分的に変化させることができるようにしたものである。

【0017】具体的には、該回路基板3は、最上層として半導体素子1の電極2とのワイヤ17を介して接続するための接続用配線膜19、19、…及び信号用配線20を形成し、第2層目として電源供給用電源ブレン6を形成し、第3層目として接地用電源ブレン5を形成し、最下層として信号用配線20を形成したものである。尚、該回路基板3は四層なので、スルーホール7及び最下層の配線膜を利用することにより互いに離間した最上層の配線膜どうしを電気的に接続することも可能であり、回路設計の自由度を高めることができる。尚、電源ブレンの数を3個にすることにより、マルチ電源対応の半導体装置を構成することもできる。

【0018】図5(A)、(B)は本発明半導体装置の更に他の実施例を示すもので、(A)はTABテープに半導体素子が接続された状態の斜視図、(B)は断面図である。本実施例は半導体素子1として周縁部だけでなく中央部にも電極2、2、…を設けたものを用い、そして、回路基板3として半導体素子1中央部の電極2、2、…を逃げる逃げ孔21を設けたものを用いたものである。この逃げ孔21はワイヤボンダの先端部が入る大きさがあればワイヤボンディングが支障なく行える。本実施例によれば、半導体素子1の中央部にも電極2、2、…を設けるので、半導体素子1中央部にも電源電圧を供給でき、半導体素子設計の自由度が増す。尚、半導体素子1の中央部に設けた電極2、2、…はワイヤ17、17、…を介して回路基板3表面の接続部に接続されている。

【0019】

【発明の効果】本発明半導体装置は、半導体素子の表面に回路基板が配置され、該半導体素子の一部の電極と上記回路基板の配線膜との間が電気的に接続され、上記半

導体素子の残りの電極と外部リードとが電氣的に接続されたことを特徴とするものである。従って、本発明半導体装置によれば、外部リードから受けた電源電圧を電源供給用電源プレーン、接地用電源プレーンに印加し、そして、電源供給用電源プレーン、接地用電源プレーンから半導体素子の複数対の電源電極に平行に印加することができるので、外部リードを増すことなく電源電圧供給経路のインピーダンスを低くし、延いては信号のオン、オフによる電源電圧レベル、接地電位レベルの変動を防止することができ、耐ノイズ性が向上する。また、回路基板に信号の通る配線を設けることにより、回路基板により半導体素子の回路構成を部分的に変更することができ、半導体素子の変更を伴うことなく半導体装置の回路変更ができ、汎用性が高まる。

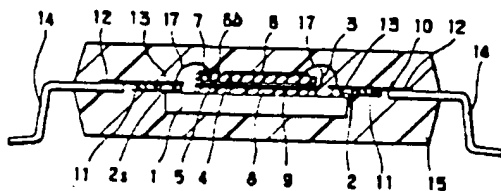
【図面の簡単な説明】

【図1】(A)、(B)は本発明半導体装置の一つの実施例を示すもので、(A)は断面図、(B)は樹脂封止前における状態の要部を示す拡大斜視図である。

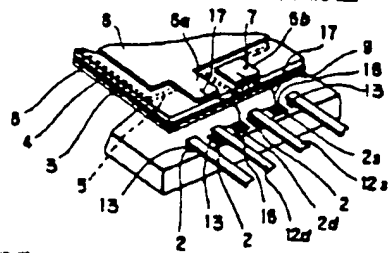
【図2】図1に示す実施例のTABテープに半導体素子が接続された状態を示す斜視図である。

【図1】

実施例
(A)
断面図



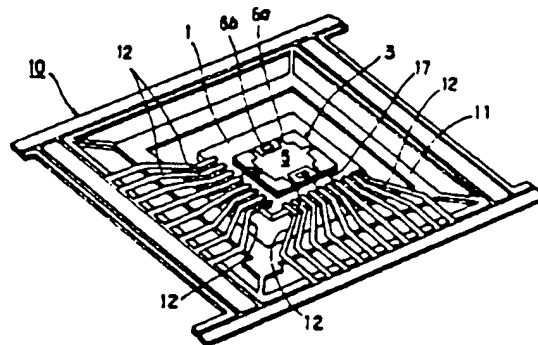
(B)
要部を示す拡大斜視図



- 1... 半導体素子
- 2... 電極
- 3... 回路基板
- 5... 接地用電源プレーン
- 6... 電源供給用電源プレーン
- 7... スルーホール
- 10... TABテープ
- 12... TABリード
- 14... リード(リードフレーム)
- 15... 樹脂
- 17... ワイヤ

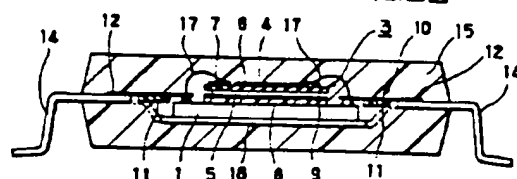
【図2】

TABテープに半導体素子が接続された状態を示す斜視図



【図3】

ダイパッドを有する変形例の断面図



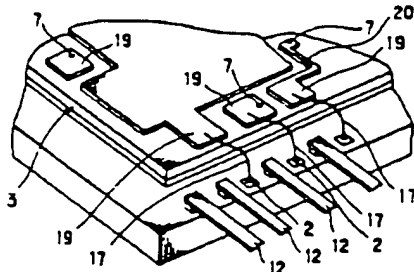
- 1... 半導体素子
- 3... 回路基板
- 7... スルーホール
- 10... TABテープ
- 12... TABリード
- 15... 樹脂
- 17... ワイヤ

【図4】

他の実施例

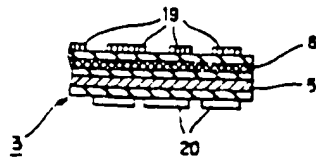
(A)

要部を示す斜視図



(B)

回路基板の拡大断面図



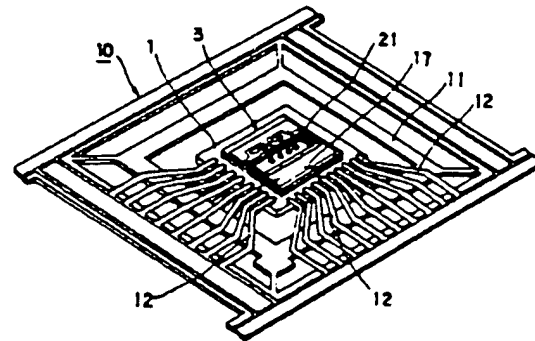
- 3...回路基板
5...接地用電源プレーン
6...電源供給用電源プレーン
7...スルーホール
19...接続部
20...信号用配線

【図5】

更に他の実施例

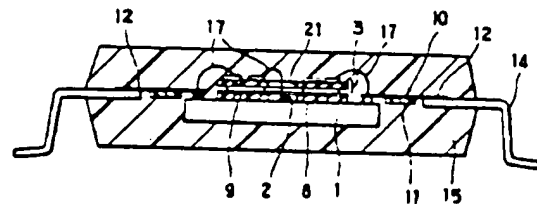
(A)

斜視図



(B)

断面図



- 1...半導体素子
3...回路基板
17...ワイヤ
21...逃げ孔

【手続補正書】

【提出日】平成3年11月21日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】また、従来の半導体装置においては、半導体装置の回路構成は半導体素子の回路構成によって決まり、回路の一部を変更する場合には全く別の半導体素子に設計し直して製造する必要がある、回路の一部変更が難しかった。更にまた、従来の半導体装置においては、樹脂パッケージの薄型化に伴って外部からの光が半導体素子の表面部に入射し、寄生フォトトランジスタ、寄生ダイオードに光電流が流れてリーク電流が大きくなるという問題もあった。即ち、耐光性が悪いという問題もあったのである。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】このような半導体装置によれば、一対の外部リード14に与えられた電源電圧を、一旦、回路基板3の電源供給用電源プレーン6、接地用電源プレーン5に印加し、該電源供給用電源プレーン6、接地用電源プレーン5から半導体素子1の多数対の2d、2s、2d、2s、…に平行に印加するようにできる。従って、半導体素子1の電源電極の対2d・2sの数を多くすることにより電源電圧を平行に半導体素子内に供給するようにして電源電圧供給経路のインピーダンスを小さくすることができ、延いては耐ノイズ性を高めることができる。即ち、入出力信号が同時に複数端子でオン、オフしたときの電源電圧のバウンスにより発生するノイズの低減を図ることができ、延いては誤動作を防止することができる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】それに対して、図3に示す半導体装置はダイパッドのあるリードフレームを用い、そのダイパッド上に、TABテープ接続及びリード12、12、…の不要部分のカットによる除去が済んだ状態の半導体素子1をボンディングし、リード12、12、…のアウトリード部分先端をリードフレームのリード14、14、…のインナーリード部分に接続し、その後、樹脂封止、リードフレームの不要部分のカットによる除去を行うものである。尚、ダイパッドを有する方がダイパッドレスよ

りも若干工程が複雑で、クラック発生率、即ち半田リフロー時に樹脂中の水分が蒸発してクラックが生じる確率が若干高い。

【手続補正4】

【補正対象書類名】図面

【補正対象項目名】図1

【補正方法】変更

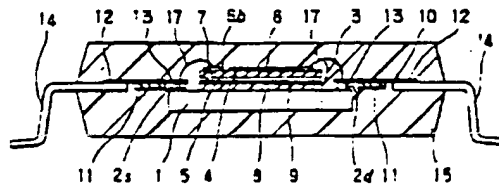
【補正内容】

【図1】

実施例

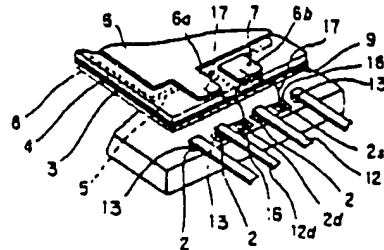
(A)

断面図



(B)

要部を示す拡大斜視図



- | | |
|----------------|------------------|
| 1… 半導体素子 | 12… TABリード |
| 2… 電極 | 14… リーズ(リードフレーム) |
| 3… 回路基板 | 15… 樹脂 |
| 4… 接地用電源アレーン | 17… ワイヤ |
| 5… 電源供給用電源アレーン | |
| 6… スルーホール | |
| 10… TABテープ | |